

Zgłoszenie tematu **INŻYNIERSKIEJ** pracy dyplomowej

**STUDIA I STOPNIA** rok akademicki 2021/22

<b>Promotor:</b>	<b>Prof. dr hab. inż. Marek Skomorowski</b>
Temat pracy dyplomowej (j. polski, j. angielski):	Symulacja działania sumatorów ripple-carry adder i carry look-ahead adder w języku Verilog.  <i>Verilog simulation of a ripple-carry adder and a carry look-ahead adder.</i>
Zakres pracy i oczekiwane rezultaty praktyczne:	<ol style="list-style-type: none"> <li>1. Zapis schematów logicznych obu sumatorów (co najmniej czterobitowych) w języku opisu sprzętu Verilog.</li> <li>2. Wykazanie poprawności działania obu sumatorów za pomocą za pomocą symulacji (<i>Verilog testbench</i>).</li> <li>3. Porównanie szybkości działania obu sumatorów.</li> <li>4. Wizualizacja działania obu sumatorów.</li> </ol>
Aspekt inżynierski*:	Problematyka dotyczy najniższego poziomu rozważań logicznych, tzn. bramek logicznych ( <i>logic gates</i> ).
Wymagane oprogramowanie/języki programowania**:	Verilog
Środowisko uruchomieniowe**:	<i>ModelSim</i> (jest dostępne za darmo) lub oprogramowanie firmy <i>Xilinx</i> (jest dostępne za darmo) lub inne.
Dodatkowe wymagania i uwagi:	Wymagana znajomość języka opisu sprzętu Verilog w zakresie układów kombinacyjnych.
Literatura**:	Dowolna z zakresu projektowania układów cyfrowych i języka opisu sprzętu Verilog Verilog.

\*należy uzasadnić/wskazać, czy praca spełnia wymagania inżynierskie

\*\*pola opcjonalne